

1 描述

IBS6222 是一款采用电流反馈架构的差分线路驱动器放大器。主要应用于宽带、高速、电力线通信线路驱动。

IBS6222 独特的设计架构, 使其具有优异的功耗性能, 通过 BIAS、IADJ 可实现从 0.7mA 至 36mA 的大范围静态电流调节, 以满足各种负载条件下的应用, 并保持良好的线性度。

IBS6222 采用宽电压范围设计, 芯片供电范围 8VDC~42VDC。内置灵敏的过压、过温保护模块, 确保了芯片在各种条件下性能稳定可靠, 使芯片在电力载波应用中发挥优越的性能。

该器件提供三种封装形式:

QFN24, 封装管壳尺寸为 5mm×4mm

QFN16, 封装管壳尺寸为 3mm×3mm

2 应用范围

- 宽带电力载波通信

3 器件特性

- 宽电源范围: 8V ~ 42V
- 内部集成共模偏置电路
- 耐压高至 52V (特定测试条件下的保证值)
- 高输出电流: 350mA (V_{dc}=12V, 5Ω 负载)
- 最大输出电流: > 800mA (5Ω 负载, 1MHz)
- 低功耗:
 - 标准工作模式: 23mA (HPLC应用推荐模式)
 - 低功耗关断模式: 0.7mA
 - 可调静态电流: 0.7mA 至 36mA
- 低失真:
 - HD2: -85dBc (1MHz, 50Ω)
 - HD3: -77dBc (1MHz, 50Ω)
- 高带宽: 完全满足宽带电力载波通信要求
- 电源抑制比 (PSRR): 50dB (1MHz)
- 工作温度: -40°C ~ +125°C (参考表7.1)

4 管脚定义

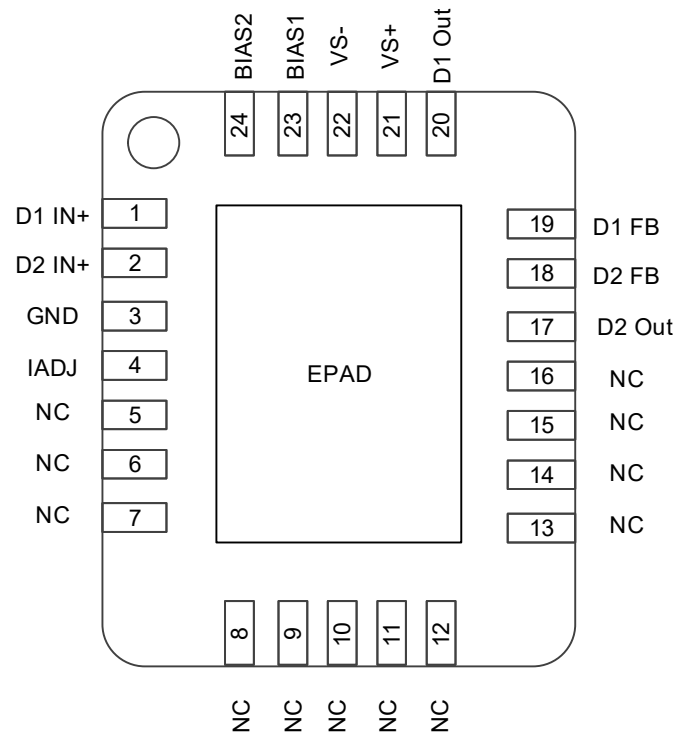


图 4.1 IBS6222管脚定义示意图 (QFN-24, 俯视图)

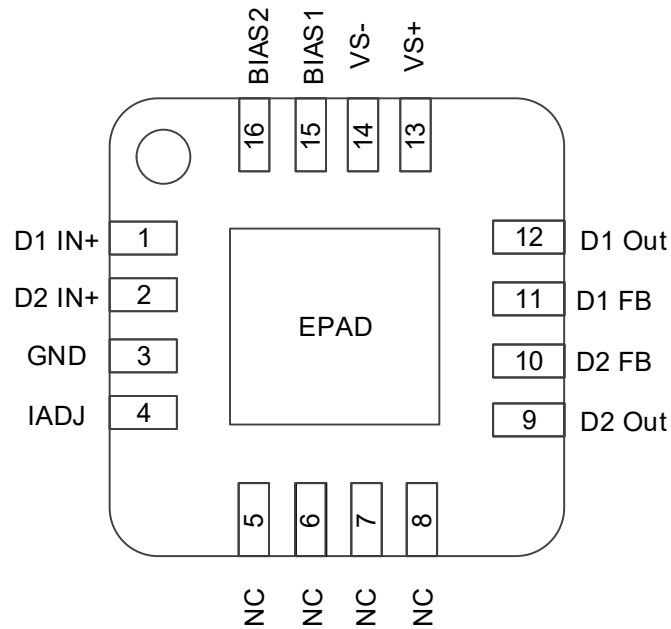


图 4.2 IBS6222管脚定义示意图 (QFN-16, 俯视图)

表4.1 引脚定义说明

注：NC – 无内部链接

管脚序号		定义	类型	描述
QFN24	QFN16			
1	1	D1_IN+	I	放大器D1输入
2	2	D2_IN+	I	放大器D2输入
3	3	GND	GND	偏置引脚参考地
4	4	IADJ	I	偏置电流调节
17	9	D2_OUT	O	放大器D2输出
18	10	D2_FB	I	放大器D2输出反馈
19	11	D1_FB	I	放大器D1输出反馈
20	12	D1_OUT	O	放大器D1输出
21	13	VS+	VDD	电源供电脚
22	14	VS-	GND	-
23	15	BIAS-1	I	偏置模式控制引脚
24	16	BIAS-2	I	偏置模式控制引脚
25	17	EPAD	GND	热焊盘
5- 16	5 - 8	NC	-	-

注意：EPAD连接PCB露铜部分的散热区，并和芯片 GND 相连。

5 订货信息

表5.1 IBS6222订购指南

商业编码/ 丝印	封装	订货号	产品信息	最小包装	工作温度范围
IBS6222	QFN24	IBS62220000QN24R00	QFN24 外形尺寸5×4mm, 焊盘中心间距0.5mm	3000pcs	-40~125℃
IBS6222	QFN16	IBS62220000QN16R01	QFN16 外形尺寸3×3mm, 焊盘中心间距0.5mm	3000pcs	-40~125℃

6 电气特性

测试条件: TA = +25°C, VS = +12V, GDIF = 13V/V, 满偏置, RL = 50Ω (通过0.1μF电容连)

表6.1 IBS6222电气参数

交流特性							
参数		测试条件		最小值	典型值	最大值	单位
SSBW	小信号带宽, -3dB	GDIF = 10V/V, RF = 1.24kΩ, VO = 2VPP			33		MHz
LSBW	大信号带宽	GDIF = 13V/V, RF = 2kΩ, VO = 10VPP			25		MHz
HD2 ^{注3}	二阶谐波失真	GDIF = 13V/V, VO = 2VPP, RL = 50Ω	f = 1MHz		-85	-83	dBc
			f = 10MHz		-76	-75	
HD3 ^{注3}	三阶谐波失真	GDIF = 13V/V, VO = 2VPP, RL = 50Ω	f = 1MHz		-77	-75	dBc
			f = 10MHz		-48	-46	
直流特性							
输入失调电压				10	40	70	mV
内部上拉电源		BIAS1=0, BIAS2 悬空或 BIAS2=0, BIAS1 悬空, 测悬空端口电压			3.6		V
共模电平 Vcm					6		V
共模输入范围					±3		V
共模抑制比					50		dB
输出电压摆幅		RL=50Ω, 每路输出			8.0		V
短路输出电流		RL=25Ω			0.45		A
偏置控制引脚逻辑阈值		逻辑 '1', 相对于GND			2.2		V
		逻辑 '0', 相对于GND			0.8		
偏置引脚输入阻抗					100		kΩ
各状态电源功耗参数							
工作电压 ^{注1}		Ta=25°C		+7	+12	+42	V
		-40°C ≤ Ta ≤ 125°C		+8			V
静态电流 ^{注2}		BIAS-1 = 0, BIAS-2 = 0			23		mA
		BIAS-1 = 0, BIAS-2 = 1			21		
		BIAS-1 = 1, BIAS-2 = 0			16.2		
		偏置关闭 (BIAS-1 = 1, BIAS-2 = 1)			0.7		

注1: 在小信号激励, 50欧姆负载条件下测得, 如果激励信号增大并达到器件过温保护状态, 会影响工作电压范围的限值

注2: 静态电流与 I_{ADJ} 相关, 较高的静态电流, 器件有更好的交流性能

注3: 该指标与器件电源噪声, EPAD的焊接良好等因素相关

7 极限参数

表7.1 IBS6222极限参数

符号	大小	单位	说明
V_{S+} ^{注1}	52	V	最大 VDD 端电压 (设计指标)
T_j ^{注2}	125	°C	最大结温 (可靠工作温度限值)
T_{stg}	-40~150	°C	储存温度
D IN+/IN-	0~V _{CC}	V	放大器输入端最高承受电压
D OUT1/OUT2	0~(V _{CC} +5)	V	放大器输出端最大吸收浪涌电流能力10A
I_{ADJ}	0~5	V	偏置电流调节管脚
V_{BIAS}	0~5	V	逻辑引脚 BIAS1/BIAS2 输入范围, 该引脚内部有一颗稳压管, 其反向击穿电压为9V, 应用时, 如果该管脚连接至 V_{in} (大于5V), 需在BIAS至 V_{in} 之间串联电阻, 将其电流限制在1mA以内
$V_{(ESD)}$	±2000	V	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001
	±2000	V	组件充电模式 (CDM), 符合 JEDEC 规范 JESD22-C101
	±100	V	机器模型 (MM)

注1: 设计值, 在特定条件下测得, 仅作为应用参考。另外该数值应与器件可靠工作的电压区分开, 器件可靠工作电压由“表6.1 电气特性/工作电压”给出。

注2: 器件在应用时, 不能超过其最大结温运行。

8 温度特性

表8.1 IBS6222 温度参数

温度参数	典型值	单位
$R_{\theta JA}$ 结至环境热阻	34	°C/W
$R_{\theta JC (top)}$ 结至外壳热阻	26	°C/W
$R_{\theta JC (Bot)}$ 结至外壳热阻	11	°C/W

注:

表8.1给出的热阻数据, 测试板PCB为四层板, TOP及BOTTOM电气层铜皮厚度为1盎司, 内层铜皮厚度为1盎司, 电路板总厚度为1.6mm, 测试环境温度为25°C。

PCB的叠层结构、板面积、镀铜厚度、器件热焊盘、器件附近过孔数量及过孔孔径对热特性有一定的影响, 在应用中应基于实际应用做评估。

9 封装外形尺寸

9.1 IBS6222 QFN24 5×4封装尺寸

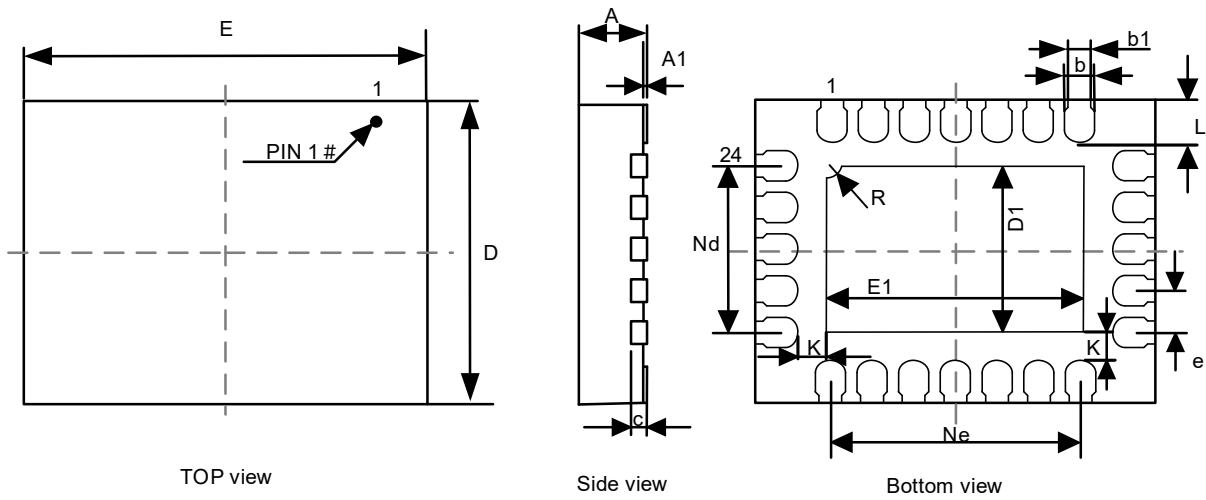
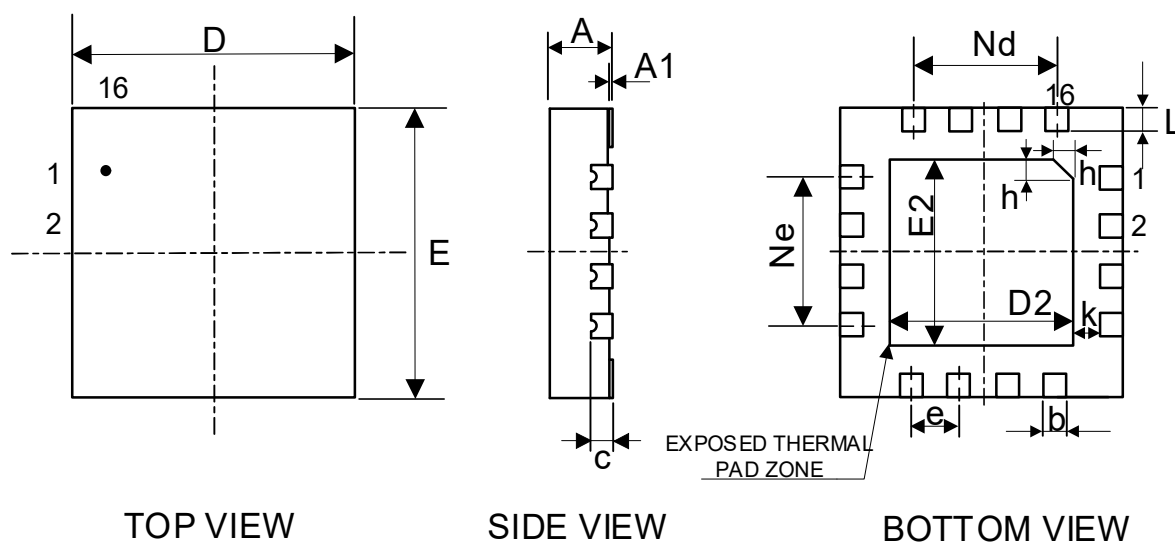


图9.1 IBS6222 QFN24 5×4 封装外形尺寸图

表9.1 IBS6222 QFN24 5×4 封装尺寸参数 (单位: mm)

尺寸 标注	最小	标准	最大	尺寸 标注	最小	标准	最大
A	0.70	0.75	0.80	Nd	2.00BSC		
A1	0.00	0.02	0.05	Ne	3.00BSC		
b	0.20		0.30	E	4.90	5.00	5.10
b1	0.18REF			E1	3.60	3.70	3.80
c	0.203REF			L	0.35	0.40	0.45
D	3.90	4.00	4.10	R	0.15	0.20	0.25
D1	2.60	2.70	2.80	K	0.25REF		
e	0.50BSC						

9.2 IBS6222 QFN16 3×3封装尺寸

图9.2 IBS6222 QFN16 3×3 封装外形尺寸图
表9.2 IBS6222 QFN24 3×3 封装尺寸参数 (单位: mm)

尺寸 标注	最小	标准	最大	尺寸 标注	最小	标准	最大
A	0.70	0.75	0.80	Nd	1.50BSC		
A1	0.00	0.02	0.05	Ne	1.50BSC		
b	0.20	0.25	0.30	E	2.90	3.00	3.10
c	0.203REF			E2	1.80	1.90	2.00
D	2.90	3.00	3.10	L	0.20	0.25	0.30
D2	1.80	1.90	2.00	h	0.20	0.25	0.30
e	0.50BSC			k	0.30REF		

10 应用

10.1 典型应用框图

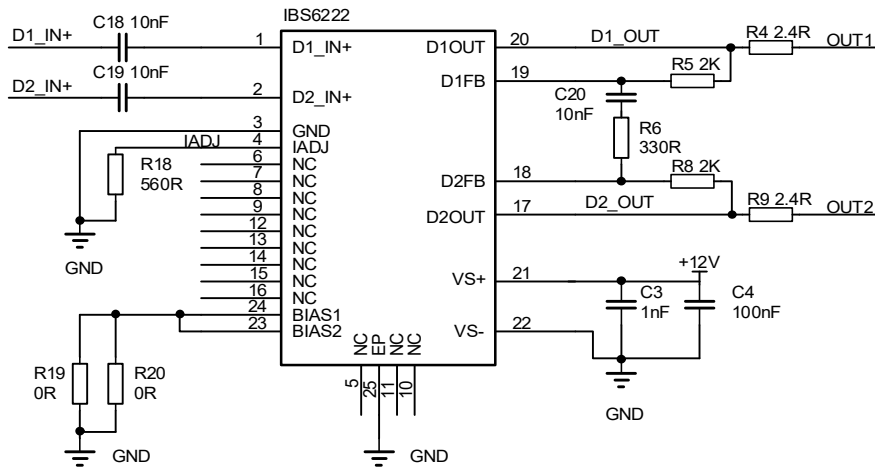


图10.1 IBS6222 QFN24的典型应用电路图

典型应用说明:

1) 可通过调节偏置模式以及IADJ引脚的下地电阻的阻值来调节静态电流的大小，其中BIAS1=BIAS2=0，RADJ=560Ω时（图10.1中对应R18），为HPLC推荐模式，此时芯片静态电流约为22mA（VCC=12V），并保证良好的通信性能。

2) IBS6222已经在内部集成了共模偏置电路，所以在输入端可以去掉该部分电路，交流信号可直接经过电容耦合后连到器件的输入端。

10.2 器件功能模式

表10.1 IBS6222偏置模式说明

BIAS1	BIAS2	功能	说明
0	0	满偏模式（100%）	放大器开启且具有尽可能最低的失真（默认状态）
0	1	中偏模式（75%）	放大器开启且具有省电功能和降低的失真性能
1	0	低偏模式（50%）	放大器开启且具有增强省电功能但降低总体性能
1	1	关断模式	放大器关闭，输出高阻抗

10.3 电源设计要求

该器件具有非常宽的电源范围（8~42V）可适应不同的应用场景，尤其是在电网系统中，可完全承受电网电压波动对器件考验。在进行该器件的供电电源设计时应注意以下事项：

- 1) IBS6222仅提供单电源供电方式，在应用中，VS-需连接到系统的GND网络上。
- 2) 推荐在VS+管脚放置0.1μF、X7R、50V及以上规格的电容器，若有可能，可以用0.1μF和1nF以上规格电容组合使用，为器件提供良好的高频泄放回路（电容温度及精度要去根据应用场景确定）。
- 3) IBS6222最低工作电压可至7V，在使用时应选择允许在放大器输入端和输出端都有足够摆幅的电源电压，以免影响器件性能。

4) 保证接地管脚充分接地，为控制引脚提供接地参考。

10.4 电源网络布局建议

1) 应最大限度的减小从电源引脚到器件退耦电容的距离（小于3mm，英制：118mil），且保证电源网络的PCB走线宽度大于0.5mm（英制：20mil），以尽可能的减小引脚和退耦电容之间的电感。在器件引脚上，接地平面和电源平面布局不得靠近信号引脚。

2) 在器件的主干电源网络上，必须使用较大的退耦电容（ $2.2\mu\text{F}\sim 10\mu\text{F}$ ），为低频率信号提供良好的回流路径，进行PCB布局时如果有空间上的限制，可以将该规格电容适当的离器件远一些（但依然需要考虑电容的补偿半径）。

3) 板级的电源完整性设计，如果能明确定位到某些高频段的谐振，可以在电源网络上加上微波电容消除其谐振影响。

10.5 PCB设计

在PCB设计时，应最大限度的减小所有交流信号I/O引脚连接到任何交流接地端的寄生电容。输出引脚和反相输入引脚上的寄生电容可能导致不稳定。在同相输入端，pF级的寄生电容都可能影响器件的通频性能，甚至是产生振荡。比较有效的建议是：交流信号I/O引脚周围的GND平面，电源平面做挖空处理。

如图10.2给出PCB设计输出回路推荐处理方式：

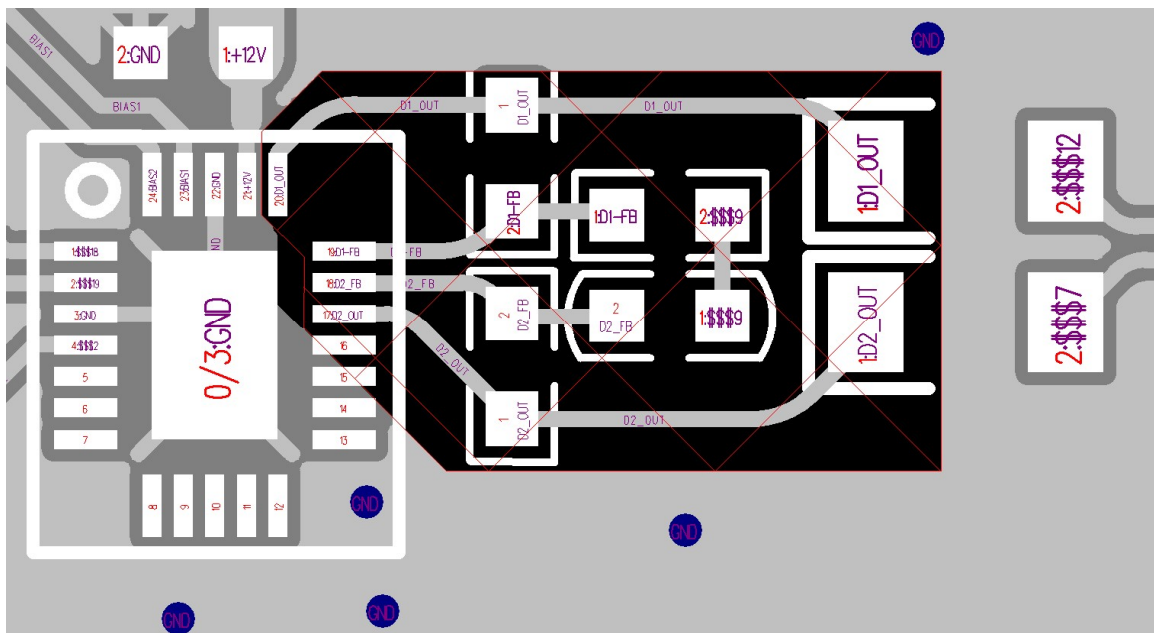


图10.2 输出及反馈回路PCB覆铜处理

重要声明

英彼森仅授权您使用本文件所载的产品资料、技术参数，且在使用时应遵守相关法律规定、服务条款等，严禁将本文件用于其他任何用途。未经英彼森书面授权，严禁以任何方式擅自对本文件内容进行复制、二次开发、改编等，英彼森不承担因此导致的任何责任。

英彼森保留随时修改本文件中任何信息的权利，且无需另行通知。本文件的一切解释权、版权，均归英彼森所有。